

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-22670

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.
H 04 N 5/335
H 01 L 27/146
H 04 N 5/335

識別記号 庁内整理番号
Q 8838-5C
E 8838-5C
8223-4M

F I
H 01 L 27/ 14

技術表示箇所
A

審査請求 未請求 請求項の数 3(全 8 頁)

(21)出願番号

特願平3-198324

(22)出願日

平成3年(1991)7月15日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

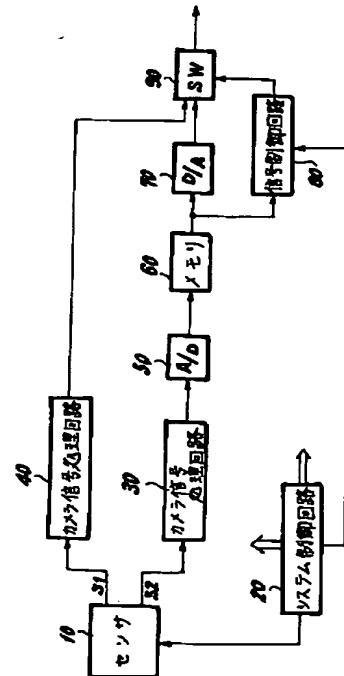
(74)代理人 弁理士 山下 積平

(54)【発明の名称】 撮像装置

(57)【要約】

【目的】 実質的にダイナミックレンジの拡大を図る。また、インタレース走査に対する対応が容易であり、動解像度の劣化がなく、高品位な画像を得る。

【構成】 露光時間の異なる複数の画素信号 S1, S2 を読み出し、露光時間の長い一の画素信号 S2 の中から飽和画素信号を検出した場合に、該飽和画素信号を露光時間のより短い該画素の非飽和画素信号と置換する。



【特許請求の範囲】

【請求項 1】 複数の各画素が増幅型の光電変換素子を備えた撮像装置において、露光時間の異なる複数の画素信号を読み出し、露光時間の長い一の画素信号の中から飽和画素信号を検出した場合に、該飽和画素信号を露光時間のより短い該画素の非飽和画素信号と置換することを特徴とする撮像装置。

【請求項 2】 請求項 1 記載の撮像装置において、各画素の露光中に露光時間の短い画素信号を読み出し、その一定時間後露光時間の長い画素信号を読み出すことを特徴とする撮像装置。

【請求項 3】 請求項 1 又は請求項 2 記載の撮像装置において、一つの画素について一本の信号出力線が接続されるとともに、該信号出力線に独立した二つの信号読出し系が接続され、この二つの信号読出し系から二つの画素信号がそれぞれ出力されることを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は撮像装置に係り、特に実質的にダイナミックレンジの広い撮像装置に関する。

【0002】

【従来の技術】 撮像素子のダイナミックレンジを実質的に拡大するために、露光時間の異なる複数の画像信号の合成を行う撮像装置が公知である。

【0003】 図 6 は特開平 1-165270 号公報に開示されている撮像装置の部分回路構成図である。

【0004】 同図に示すように、1つフォトダイオードと 2 つの出力スイッチからなる 1 つの画素 S E (図中、破線図示) に 2 つの垂直出力線を設け、所定の位相差をもって走査される垂直シフトレジスタ VL, VR によって、画素信号を読み出すことで、露光時間の異なる二つの画素信号を得ております、例えば垂直シフトレジスタ VL によりフォトダイオードから画素信号 S 2 を読み出し、所定の時間 Δt 経過後に垂直シフトレジスタ VR によりフォトダイオードから画素信号 S 1 を読み出すと、該画素信号 S 1 は露光時間 Δt の画素信号となる。次回に垂直シフトレジスタ VL により読み出される画素信号 S 2

は 1 フレーム期間 T から Δt を引いた時間の露光時間の画素信号となる。かかる二つの画素信号を合成することでダイナミックレンジの拡大を図ることができる。

【0005】 また同様に、特開平 1-204579 号公報にも MOS 型撮像素子を利用した二つの画素信号出力方式の撮像装置が示されている。

【0006】

【発明が解決しようとする課題】 しかしながら、上述の様な MOS 型撮像素子を用いた撮像装置の場合、一つの画素には二つの出力スイッチと二つの垂直出力線が必要となり、このために画素の有効開口部が小さくなり、感度が低下するという問題がある。また MOS 型撮像素子

は光電変換信号を読み出す時にフォトダイオードはクリアされるので、二つの異なる露光信号は別々に露光を行う必要がある。

【0007】 なお、MOS 型撮像素子で垂直出力線を一本にすることも可能であるが、二ラインの画素信号を読み出すことになるため、水平走査周波数が二倍になる問題がある。

【0008】

【課題を解決するための手段】 本発明の撮像装置は、複数の各画素が増幅型の光電変換素子を備えた撮像装置において、露光時間の異なる複数の画素信号を読み出し、露光時間の長い一の画素信号の中から飽和画素信号を検出した場合に、該飽和画素信号を露光時間のより短い該画素の非飽和画素信号と置換することを特徴とする。

【0009】

【作用】 本発明の撮像装置は、露光時間の異なる複数の画素信号を読み出し、露光時間の長い一の画素信号の中から飽和画素信号を検出した場合に、該飽和画素信号を露光時間のより短い該画素の非飽和画素信号と置換することで、実質的にダイナミックレンジの拡大を図るものである。

【0010】 本発明において、画素が増幅型の光電変換素子であるため、光電変換された電荷は信号読出し時にも非破壊であり、各画素の露光中に露光時間の短い画素信号を読み出しても蓄積された電荷はほぼ非破壊で保持され、その後さらに信号電荷の蓄積を続け、一定時間後に露光時間の長い画素信号を読み出すことができる。すなわち、二つの異なる画素信号は別々に露光を行う必要がない。

【0011】 また本発明において、一つの画素について一本の信号出力線を接続するとともに、該信号出力線に独立した二つの信号読出し系を接続し、この二つの信号読出し系から二つの画素信号をそれぞれ出力すれば、信号出力線を二本にする必要がなく、図 6 に示した撮像装置よりも画素の有効開口部を大きくとることができ、感度を低下させることができない。また、独立した二つの信号読出し系により読み出されるため、水平走査周波数を二倍にする必要もない。

【0012】

【実施例】 以下、本発明の実施例を図面を用いて詳細に説明する。

【0013】 図 2 は本発明の撮像装置の光電変換部及び信号読出し回路部の一実施例の回路構成図である。なお、ここでは説明の簡易化のため、9 画素のみ示している。

【0014】 光電変換部の画素は、バイポーラ型の増幅素子 (光電変換素子) T r, 容量 C B, PMOS トランジスタ R T で構成されており、バイポーラ型の増幅素子 T r のベース領域に電荷を蓄積し、この蓄積された電荷 50 に対応する信号をエミッタ領域から出力する。ベース領

域には容量CB及びPMOSトランジスタRTが接続され、ベース領域のベース電位は容量CBを介して制御され、またPMOSトランジスタRTを通してリセットされる。各画素は、ランダムアクセス可能な垂直走査回路（Vデコーダ）1によって選択され、画素のリセット動作と画素信号の読み出し動作が行われる。垂直方向に位置する各画素の出力端子はそれぞれ垂直出力線11、12、13に共通接続されている。また垂直出力線11、12、13にはそれぞれクリア用のMOSトランジスタMR1、MR2、MR3、二系統の転送用トランジスタM11～M14、M21～M24、M31～M34と、二系統の一時蓄積手段CT11、CT12、CT21、CT22、CT31、CT32とが接続されている。従って、この二系統の一時蓄積手段（例えば、CT11、CT12）には二つの水平走査線の画素信号を転送することができる。

【0015】本実施例では、一時蓄積容量CT12、CT22、CT32には長時間露光による画素信号を蓄積し、もう一方の一時蓄積容量CT11、CT21、CT31には短時間露光による画素信号を蓄積する。これらの信号は出力アンプをへて、外部へ出力信号S2（長時間露光信号）、S1（短時間露光信号）として出力される。図中、 ϕ_{HS} 、 ϕ_{H1} 、 ϕ_{H2} は水平走査回路（H.S.R）2、3を制御するパルス信号、 ϕ_{Vn} は垂直走査回路1を制御するパルス信号、 ϕ_{HC} は水平出力線をリセットするMOSトランジスタを制御するパルス信号、 ϕ_C は垂直出力線11、12、13をクリアするためのパルス信号、 ϕ_T は各画素のエミッタから一時蓄積容量への信号転送を制御するパルス信号である。

【0016】図3は上記撮像装置の概略的なタイミング図である。

【0017】同図において、f1、f2、・・・は水平走査期間を、HBLKは水平ブランク期間を示す。 V_n 、 V_{n+1} 、・・・は水平走査線を示す。

【0018】図中、 V_n 線において、TR2は長時間露光信号の読み出し期間であり、水平走査線の電位がミドルレベル（例えばGND）からハイレベルに上昇すると、バイポーラ型の増幅素子のベース領域のベース電位が上昇し、ベース領域に蓄積された電荷に対応する信号がエミッタから読み出される。TC1は水平走査線に接続された画素の一括リセット期間であり、水平走査線の電位がハイレベルからロウレベル（負電位）に低下するとPMOSトランジスタRTは導通状態となってベース領域は所定の電位にリセットされる。TC2は過渡リセット期間であり、水平走査線の電位をロウレベルからハイレベルに上昇させ、 ϕ_C をハイレベル（不図示）としてベース領域をエミッタに対して順バイアスとし、ベースに残する電荷をリセットする。TS1は短時間露光期間であり、水平走査線の電位をハイレベルからミドルレベルに低下させると、ベース領域はエミッタに対して逆バイアス状態となり、蓄積状態となる。本実施例では、約2H

期間、即ち約1/800秒が露光時間である。TR1は1/800秒露光後の画素信号の読み出し期間であり、水平走査線の電位をミドルレベルからハイレベルに上昇させることで、ベース領域をエミッタに対して順バイアス状態として信号の読み出しを行ない、この信号は一時蓄積容量CT11～CT31に読み出され、蓄積される。本実施例の撮像装置は増幅型撮像素子であるので、光電変換信号は非破壊の状態で、増幅信号を読み出すことができる。

【0019】TS2はTS1に引き続いての長時間露光期間10であり、水平走査線の電位をハイレベルからミドルレベルに低下させると、ベース領域はエミッタに対して逆バイアス状態となり、蓄積状態となってTS1に蓄積された電荷に加えて更に電荷が蓄積される。TS2の露光による光電変換信号は約1フィールド後、f1水平走査期間の駆動パルスによってTR2の期間に一時蓄積容量CT12～CT32に読み出され、蓄積される。

【0020】同様に V_{n+1} 線、 V_{n+2} 線、・・・と順次駆動される。図中、 ϕ_{Hn} 期間は一時蓄積容量CT11、CT21、CT31、CT12、CT22、CT32からの信号の出力期間である。S1、S2はその時の仮の信号波形を示す。例えば、f2期間にS2からは V_{n+1} 線の信号が输出される。該信号は一部の期間で飽和している。これに対し、2H遅れたf5期間に V_{n+1} 線の信号が输出される。この信号は露光時間が短いために、画素は飽和していない。この様に出力S2では飽和していた信号でも出力S1では露光時間が約1/6.5と短いために飽和しておらず、出力S2で飽和した信号を出力S1の飽和していない信号で置換すれば、その分だけダイナミックレンジが改善されることになる。

【0021】以下、本発明の撮像装置の信号処理回路系について説明する。

【0022】図1は本発明の信号処理回路系を示すブロック図である。システムはシステム制御回路20によって制御される。センサ10から出力された長時間露光信号S2はカメラ信号処理回路30に入力される。カメラ信号処理回路30では通常のカメラのように γ 補正等が行なわれている。カメラ信号処理回路30の出力信号はA/D変換器50でデジタル信号に変換されメモリ60に記憶される。

【0023】任意の位相差をもって出力される短時間露光信号S1はカメラ信号処理回路40で二特性処理されるとともに飽和信号レベルに相当する信号成分の加算がなされてスイッチ回路90に入力される。メモリ60に記憶された信号は、短時間露光信号S1の走査線と番地の長時間露光信号S2がメモリ60より出力されD/A変換器70を経て、スイッチ回路90に入力される。通常、スイッチ回路90はD/A変換器70から出力される長時間露光信号S2に接続されているが、メモリ60の出力が飽和信号の時は信号制御回路80からの50パルスによりスイッチ回路90はカメラ信号処理回路4

0から出力される短時間露光信号S1に接続される。その結果、スイッチ回路90からはダイナミックレンジが拡大された信号を得ることができる。

【0024】図4及び図5に二水平走査線同時出力、インターレース駆動時の概略説明図を示す。各画素の水平走査線は奇数フィールドと偶数フィールドでは組み合わせを変えて、画素信号の出力がなされる。

【0025】今、図4で、出力S2は二つの水平走査線O5からの信号が出力されているとすれば、図5に示すように出力S1は二つの水平走査線O3からの信号が出力されていることになる。

【0026】このように、インターレース走査に一致させて複数の水平走査線の露光信号を読み出すことにより、同一画素からの長時間露光信号と短時間露光信号とから合成信号を形成することができる。

【0027】前述した実施例では、米国特許第4,686,554号明細書に記載されているような増幅型撮像素子、特にバイポーラ型の撮像素子で説明したが、本発明は他の構成の撮像素子にも適用でき、例えばJ-FET型、MOSFET型等の増幅型撮像素子であってもよい。また、図1の本発明の実施例では長時間露光信号をメモリに記憶させたが、反対に短時間露光信号をメモリに記憶させても、あるいは両信号をメモリに記憶させてから画像処理を行なってもよい。

【0028】また、前述した実施例では、露光時間の異なる二つの画素信号を読み出したが、必要に応じて三つ以上の露光時間の異なる二つの画素信号を読み出し、一つの画素信号の中から飽和画素信号を検出し、該飽和画素信号を、より露光時間の短い一つ又は二つ以上の画素信号の非飽和画素信号と置換することもできる。

【0029】

【発明の効果】以上詳細に説明したように、本発明の撮像装置によれば、実質的にダイナミックレンジの拡大を図ることができる。また、インターレース走査に対する対応も容易であり、動解像度の劣化がなく、高品位な画像

を得ることができる。

【0030】本発明においては、画素が増幅型の光電変換素子であるため、光電変換された電荷は信号読出し時にも非破壊であり、各画素の露光中に短時間露光の画素信号を読み出しても蓄積された電荷はほぼ非破壊で保持され、その後さらに信号電荷の蓄積を続け、一定時間後に長時間露光の画素信号を読み出すことができる。すなわち、二つの異なる画素信号は別々に露光を行う必要がない。

10 【0031】本発明において、一つの画素について一本の信号出力線を接続するとともに、該信号出力線に独立した二つの信号読出し系を接続し、この二つの信号読出し系から二つの画素信号をそれぞれ出力すれば、信号出力線を二本にする必要がなく、図6に示した撮像装置よりも画素の有効開口部を大きくとることができ、感度を低下させることがない。また、独立した二つの信号読出し系により読み出されるため、水平走査周波数を二倍にする必要もない。

【図面の簡単な説明】

20 【図1】本発明の信号処理回路系を示すブロック図である。

【図2】本発明の撮像装置の光電変換部及び信号読出し回路部の一実施例の回路構成図である。

【図3】上記撮像装置の概略的なタイミング図である。

【図4】二水平走査線同時出力、インターレース駆動時の概略説明図である。

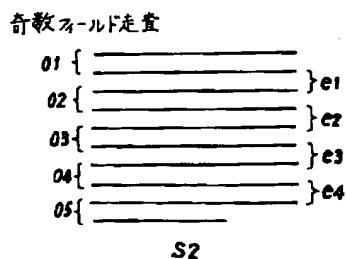
【図5】二水平走査線同時出力、インターレース駆動時の概略説明図である。

30 【図6】特開平1-165270号公報に開示されている撮像装置の部分回路構成図である。

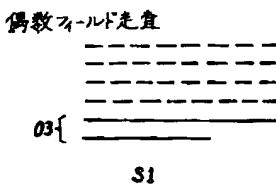
【符号の説明】

10 センサ、 20 システム制御回路、 30 カメラ信号処理回路、 40 カメラ信号処理回路、 50 A/D変換器、 60 メモリ、 70 D/A変換器、 80 信号制御回路、 90 スイッチ回路。

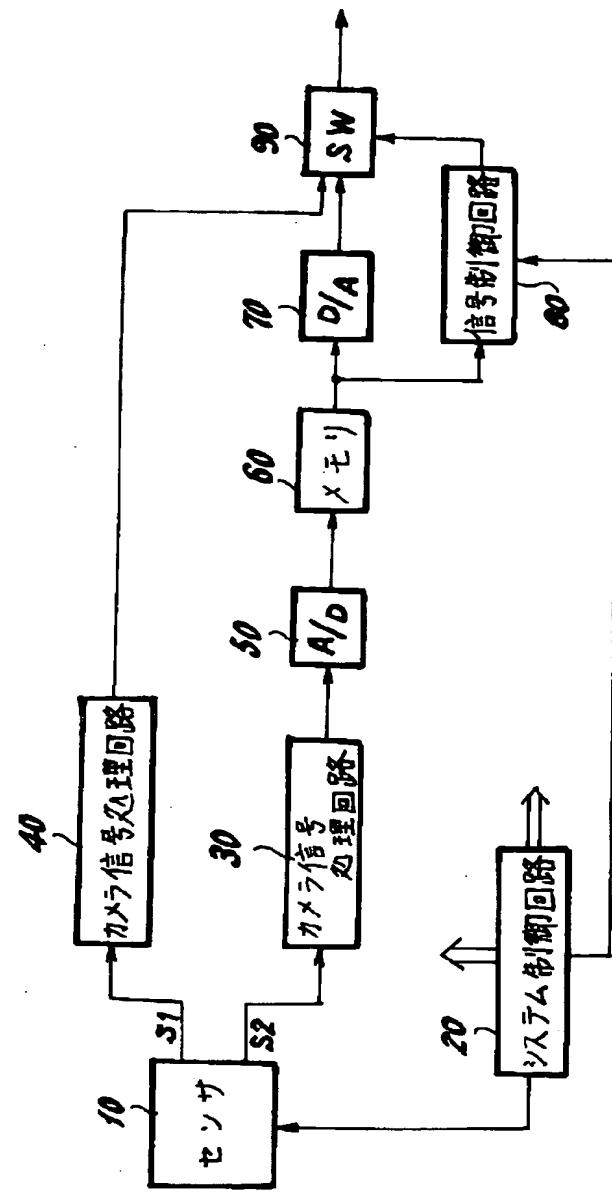
【図4】



【図5】

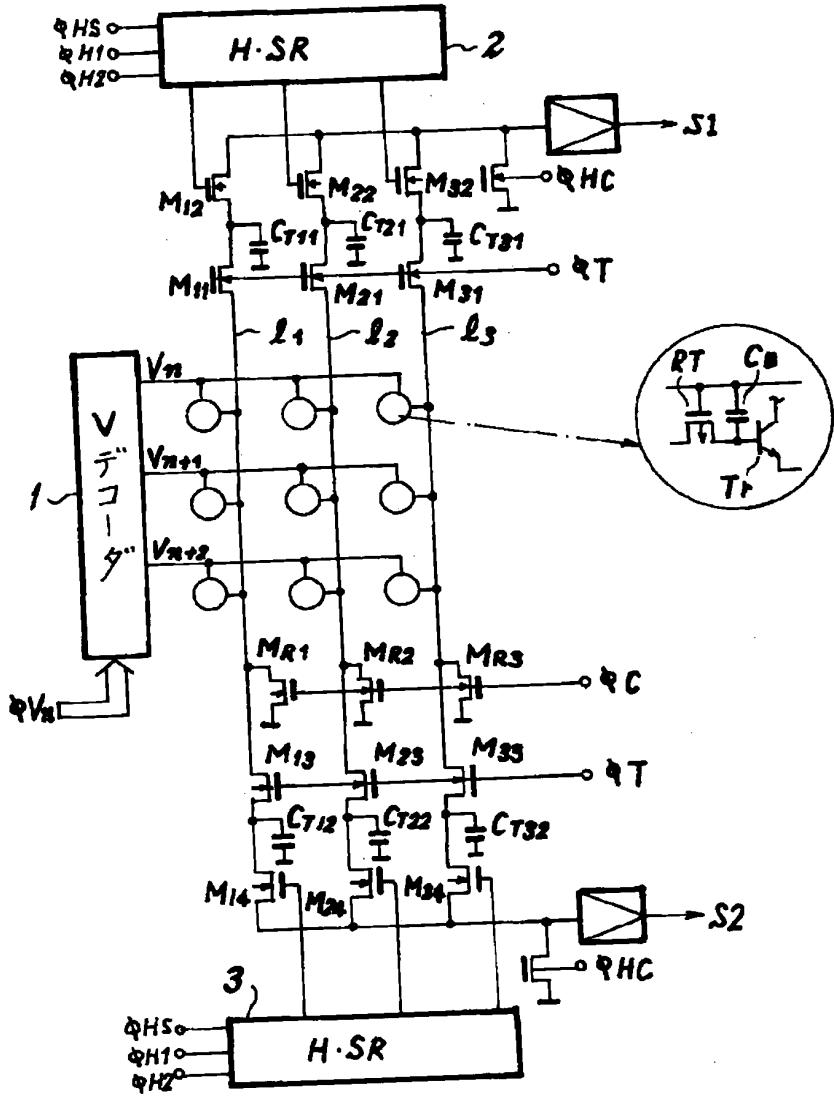


【図1】

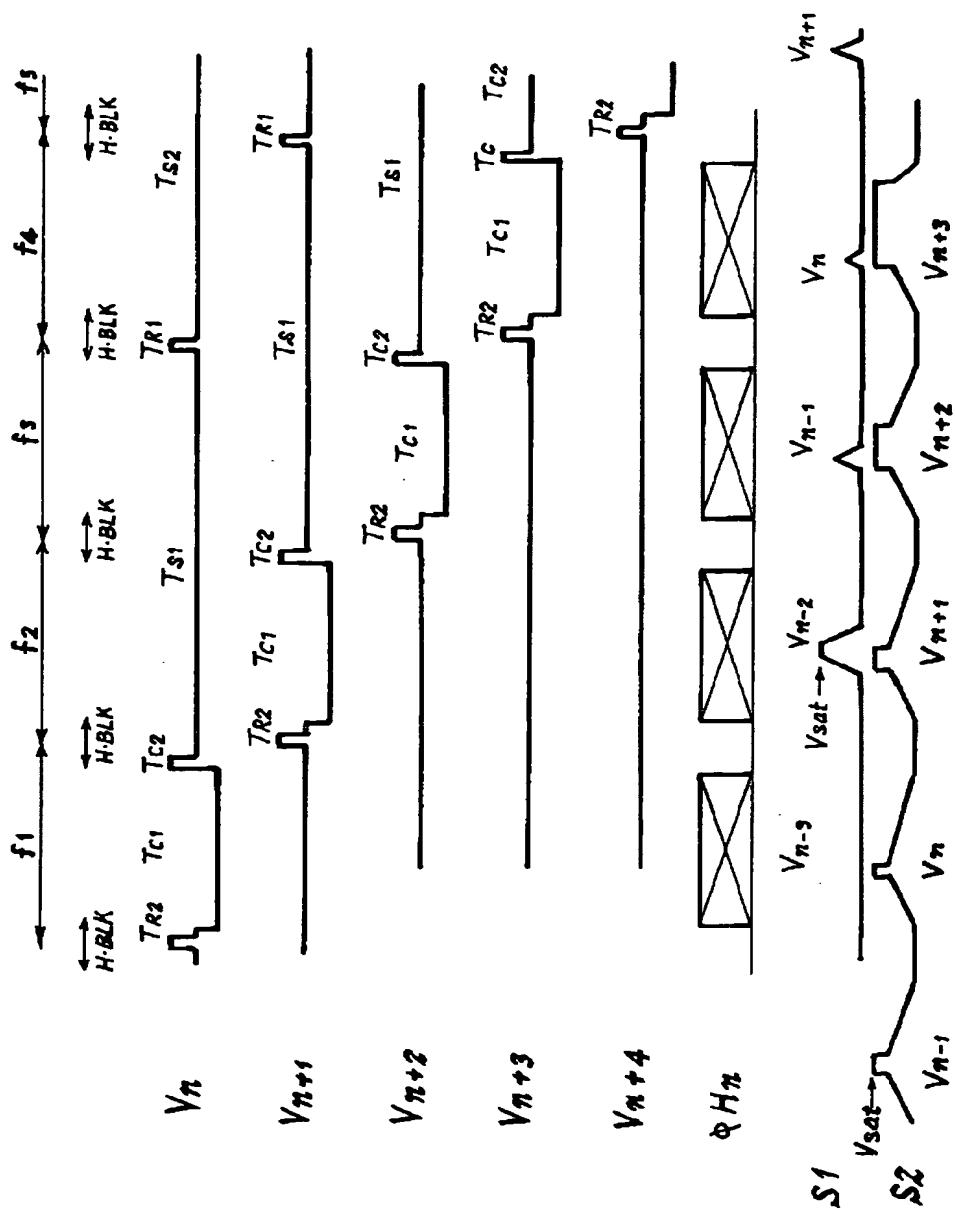


(6)

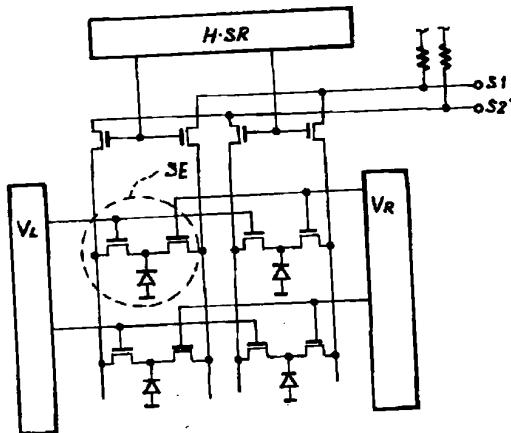
【図2】



【図3】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)